

Bibliographic Fields**Document Identity**

(19)【発行国】	(19) [Publication Office]
日本国特許庁 (JP)	Japan Patent Office (JP)
(12)【公報種別】	(12) [Kind of Document]
公開特許公報 (A)	Unexamined Patent Publication (A)
(11)【公開番号】	(11) [Publication Number of Unexamined Application]
特開平8-250449	Japan Unexamined Patent Publication Hei 8 - 250449
(43)【公開日】	(43) [Publication Date of Unexamined Application]
平成8年(1996)9月27日	1996 (1996) September 27 days

Public Availability

(43)【公開日】	(43) [Publication Date of Unexamined Application]
平成8年(1996)9月27日	1996 (1996) September 27 days

Technical

(54)【発明の名称】	(54) [Title of Invention]
半導体装置の接続孔の形成方法	FORMATION METHOD OF CONNECTING HOLE OF SEMICONDUCTOR DEVICE
(51)【国際特許分類第6版】	(51) [International Patent Classification, 6th Edition]
H01L 21/28	H01L 21/28
301	301
21/3065	21/3065
21/316	21/316
21/318	21/318
21/768	21/768
29/78	29/78
21/336	21/336
【FI】	[FI]
H01L 21/28 L	H01L 21/28 L
301 T	301 T
21/316 H	21/316 H
21/318 B	21/318 B
21/302 F	21/302 F
21/90 D	21/90 D
29/78 301 P	29/78301 P
【請求項の数】	[Number of Claims]

4

4

【出願形態】

[Form of Application]

OL

OL

【全頁數】

[Number of Pages in Document]

7

7

Filing

【審査請求】

[Request for Examination]

未請求

Unrequested

(21)【出願番号】

(21) [Application Number]

特願平7-49355

Japan Patent Application Hei 7 - 49355

(22)【出願日】

(22) [Application Date]

平成7年(1995)3月9日

1995 (1995) March 9 days

Parties**Applicants**

(71)【出願人】

(71) [Applicant]

【識別番号】

[Identification Number]

000002185

000002185

【氏名又略称】

[Name]

ソニー株式会社

SONY CORPORATION (DB 69-055-3649)

【住所又居所】

[Address]

東京都品川区北品川6丁目7番35号

Tokyo Prefecture Shinagawa-ku Kitashinagawa 6-7-35

Inventors

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

牛脇 哲雄

cattle 脇 Tetsuo

【住所又居所】

[Address]

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Inside of Tokyo Prefecture Shinagawa-ku Kitashinagawa 6-7-35 Sony Corporation (DB 69-055-3649)

Agents

(74)【代理人】

(74) [Attorney(s) Representing All Applicants]

【弁理士】

[Patent Attorney]

【氏名又略称】

[Name]

船橋 國則

Funabashi Kuninori

Abstract

(57)【要約】

(57) [Abstract]

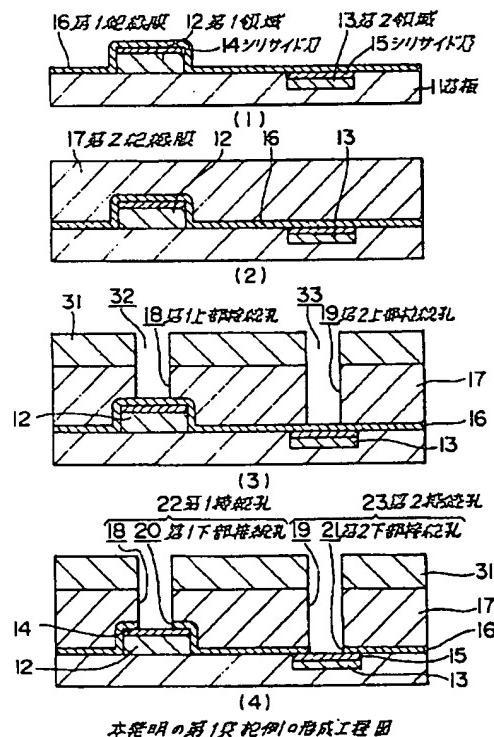
【目的】

本発明は、膜厚の異なる絶縁膜に接続孔を形成する際に下地のオーバエッティングの防止を図る。

【構成】

第1工程で、少なくとも上面側にシリサイド層14(または高融点金属層)を設けた第1領域12と少なくとも上面側にシリサイド層15(または高融点金属層)を設けた第2領域13とを備えた基板11上に、各第1、第2領域12、13とに対してエッティング選択性を有する第1絶縁膜16を形成し、次いで第2工程で、第1絶縁膜16上に第1、第2領域12、13上で膜厚が異なる第2絶縁膜17を形成する。

続いて第3工程で、第1、第2領域12、13上の第2絶縁膜17に第1、第2上部接続孔18、19を形成し、さらに第4工程で、第1絶縁膜16に第1上部接続孔18に連続する第1下部接続孔20を形成し、第2上部接続孔19に連続する第2下部接続孔21を形成する。



Claims

【特許請求の範囲】

【請求項 1】

[Objective]

this invention when forming connecting hole in insulating film where film thickness differs, assures prevention of overetching of substrate.

[Constitution]

With first step, first domain 12 which at least provides silicide layer 14 (Or high melting point metal layer) in the top side and on substrate 11 which has second domain 13 which at least provides the silicide layer 15 (Or high melting point metal layer) in top side, first insulating film 16 which possesses etching selectivity vis-a-vis with each first, second domain 12,13 is formed, second insulating film 17 where in second step, on first insulating film 16 film thickness differs next on first, second domain 12,13 is formed.

Consequently with third step, first, second upper part connecting hole 18,19 is formed in second insulating film 17 on the first, second domain 12,13, furthermore with 4 th step, first bottom connecting hole 20 which in first insulating film 16 is discontinued in first upper part connecting hole 18 is formed, second bottom connecting hole 21 which is continued in the second upper part connecting hole 19 is formed.

[Claim(s)]

[Claim 1]

少なくとも上面側に高融点金属層またはシリサイド層を設けた第1領域と少なく融点金属層またはリサイド層を設けた第2領域とを設けた基板上に、該第1領域と該第2領域とに対してエッティング選択性を有する第1絶縁膜を形成する第1工程と、

前記第1絶縁膜上に、前記第1領域上と前記第2領域上で膜厚が異なるもので該第1絶縁膜に対してエッティング選択性を有する第2絶縁膜を形成する第2工程と、

前記第1領域上の前記第2絶縁膜に第1上部接続孔を形成する 第2領域上の前記第2絶縁膜に第2上部接続孔を形成する第3工程と、

前記第1絶縁膜に前記第1上部接続孔に連続して第1下部接続孔を形成する 第1絶縁膜に前記第2上部接続孔に連続して第2下部接続孔を形成する第4工程とを備えることを特徴とする半導体装置の接続孔の形成方法。

【請求項2】

請求項1記載の半導体装置の接続孔の形成方法において、

前記第1領域は前記基板に形成された配線、電極または拡散層であり、 第2領域前記基板に形成された配線、電極または拡散層であること特徴とする半導体装置の接続孔の形成方法。

【請求項3】

請求項1記載の半導体装置の接続孔の形成方法において、

前記第1領域前記基板の段差上部に形成されたもので 第2領域前記基板の段差下部に形成されたものであること特徴とする半導体装置の接続孔の形成方法。

【請求項4】

請求項3記載の半導体装置の接続孔の形成方法において、

first domain which at least provides high melting point metal layer or silicide layer in top side and on substrate which provides second domain which at least provides the high melting point metal layer or silicide layer in top side, first step, which forms first insulating film which possesses etching selectivity vis-a-vis with said first domain and said second domain

On aforementioned first insulating film, on aforementioned first domain and being something where film thickness differs from with aforementioned second domain, second step, which forms second insulating film which possesses etching selectivity vis-a-vis said first insulating film

As first upper part connecting hole is formed in aforementioned second insulating film on the aforementioned first domain, third step, which forms second upper part connecting hole in the aforementioned second insulating film on aforementioned second domain

In aforementioned first insulating film continuing in aforementioned first upper part connecting hole, as it forms first bottom connecting hole, in said first insulating film continuing in aforementioned second upper part connecting hole, formation method, of connecting hole of semiconductor device which had 4th step which form second bottom connecting hole and makes feature

[Claim 2]

In formation method of connecting hole of semiconductor device which is stated in Claim 1,

As for aforementioned first domain with metallization, electrode or diffusion layer which was formed to aforementioned substrate, as for aforementioned second domain formation method, of connecting hole of semiconductor device which is made thing feature which is a metallization, electrode or a diffusion layer which was formed to aforementioned substrate

[Claim 3]

In formation method of connecting hole of semiconductor device which is stated in Claim 1,

As for aforementioned first domain being something which was formed to step upper part of aforementioned substrate, as for aforementioned second domain formation method, of connecting hole of semiconductor device which is made thing feature which is something which was formed to step bottom of aforementioned substrate

[Claim 4]

In formation method of connecting hole of semiconductor device which is stated in Claim 3,

前記第1領域前記基板の段差上部に形成された配線、電極または拡散層であり、前記第2領域は前記基板の段差下部に形成された配線、電極または拡散層であること特徴とする半導体装置の接続孔の形成方法。

As for aforementioned first domain with metallization, electrode or diffusion layer which was formed to step upper part of aforementioned substrate, as for the aforementioned second domain formation method. of connecting hole of semiconductor device which is madething feature which is a metallization, electrode or a diffusion layer which was formed to the step bottom of aforementioned substrate

Specification

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、半導体装置の絶縁膜、例えば層間絶縁膜に設けられる接続孔の形成方法に関する。

【0002】

【従来の技術】

高速デバイスに必要な項目の一つとして配線抵抗の低抵抗化があげられる。

その一つには、ゲート電極に用いる多結晶シリコンおよびソース・ドレイン拡散層をシリサイド化することにより低抵抗化する技術がある。

特にゲート電極上部とソース・ドレイン拡散層上部を自己整合的にシリサイド化する技術は、サリサイド(SALICIDE)技術と呼ば

【0003】

一方、トランジスタ形成後に高温熱処理を必要としない工程では配線材料として主としてアルミニウム系金属が

近年は集積度の観点から配線が多層化しているが、アルミニウム系配線は段差被覆性が十分に得られないため、配線の断線を防止するために層間絶縁膜の平坦化が っている。

また、段差が大きいリソグラフィー工程での焦点深度余裕が十分に取れないので、この点からも層間絶縁膜の平坦化が必要になっている。

【0004】

上記サリサイド技術と層間絶縁膜の平坦化とを組み合わせた場合で、ゲート電極上の層間絶縁膜と拡散層上の層間絶縁膜とに接続孔を形成する例を、図4の形成工程図によって説明する。

【Description of the Invention】

【0001】

【Field of Industrial Application】

As for this invention, it regards formation method of connecting hole which is provided in insulating film, for example interlayer insulation film of semiconductor device.

【0002】

【Prior Art】

It can increase resistance-lowering of metallization resistance as one of item which is necessary for high speed device.

There is a technology which resistance-lowering is done, to one by to polycide converting polycrystalline silicon and source * drain diffusion layer which are used for gate electrode.

To polycide is converted technology which is called especially gate electrode upper part and source * drain diffusion layer upper part salicided (SALICIDE) technology in self-aligning.

【0003】

On one hand, after transistor forming with step which does not need high temperature heat treatment aluminum metal is used mainly as metallization material.

Recently metallization multilayering has done from viewpoint of degree of integration, but as for aluminum metallization because step coatability is not acquired to fully, the planarization of interlayer insulation film has become necessary in order to prevent line break of metallization.

In addition, because focus depth room with lithography step where step is large does not come off in fully, even from this point planarization of interlayer insulation film has become necessary.

【0004】

With above-mentioned salicided technology and when planarization of interlayer insulation film is combined, example which in interlayer insulation film on gate electrode and interlayer insulation film on diffusion layer forms connecting hole, is explained in formation process figure of

る。

[0005]

図4の(1)に示すように、基板111上にはゲート絶縁膜112を介してゲート電極113が形成され、さらにゲート電極113の両側における基板111にはソース・ドレイン拡散層114,115がされている。

そしてゲート電極113,ソース・ドレイン領域114,115の各上層にはリサイド116,117,118が

このような基板111に層間絶縁膜121を形成する。

なお、図では、素子分離領域およびゲート電極の側壁に形成したサイドウォールも示した。

[0006]

その後図4の(2)に示すように、ラフィー技術とエッティングによって、ゲート電極113上およびソース・ドレイン拡散層114,115上の層間絶縁膜121に、ゲート電極113およびソース・ドレイン拡散層114,115に通じる接続孔122,123,124を形成する。

なお、レジストマスクの図示は省略した。

[0007]

【発明が解決しようとする課題】

しかしながら、上記接続孔の製造方法では、図5に示すように、層間絶縁膜121は、ソース・ドレイン拡散層114,115上の方がゲート電極113上よりも厚くなっている。

そのため、ゲート電極113上およびソース・ドレイン拡散層114,115上の層間絶縁膜121に、同時に接続孔122,123,124を形成した場合には先にゲート電極113上に接続孔122がある。

そして、接続孔122を形成した後もソース・ドレイン領域114,115上に接続孔123,124の形成続くので、このエッティングによつ接続孔122の底部が過剰にエッティングされる。

そのため、ゲート電極113の上部に形成されているシリサイド層116がエッティングされるので、シリサイド層116によるゲート電極113の低抵抗化の効果が減少する。

[0008]

the Figure 4.

[0005]

As shown in (1) of Figure 4, through gate insulating film 112 on substrate 111, the gate electrode 113 is formed, furthermore source * drain diffusion layer 114,115 is formed to substrate 111 in the both sides of gate electrode 113.

And silicide layer 116,117,118 is formed to each top layer of gate electrode 113, source * drain domain 114,115.

interlayer insulation film 121 is formed in this kind of substrate 111.

Furthermore, in figure, it showed also sidewall which was formed in sidewall of disassociated element region and gate electrode.

[0006]

After that as shown in (2) of Figure 4, in interlayer insulation film 121 on gate electrode 113 and on source * drain diffusion layer 114,115, connecting hole 122,123,124 which leads to gate electrode 113 and source * drain diffusion layer 114,115 is formed with lithography technology and etching .

Furthermore, it abbreviated illustration of resist mask.

[0007]

[Problems to be Solved by the Invention]

But, with manufacturing method of above-mentioned connecting hole, as shown in the Figure 5, as for interlayer insulation film 121, direction on source * drain diffusion layer 114,115 it has become thick incomparison with on gate electrode 113.

Because of that, when in interlayer insulation film 121 on gate electrode 113 and on source * drain diffusion layer 114,115, the connecting hole 122,123,124 was formed simultaneously, connecting hole 122 is formed on gate electrode 113 first.

Because and, after forming connecting hole 122, formation of connecting hole 123,124 continues on source * drain domain 114,115, with this etching bottom of connecting hole 122 etching is done in excess.

Because of that, because silicide layer 116 which is formed to upper part of the gate electrode 113 is done etching, effect of resistance-lowering of gate electrode 113 decreases with silicide layer 116 .

[0008]

本発明は、下地をエッチングするなく膜厚の異なる絶縁膜に接続孔を形成するのに優れた半導体装置の接続孔の形成方法を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明は、上記目的を達成するためになされた半導体装置の接続孔の形成方法である。

すなわち、第1工程で、
点金属層または
1領域と少なくとも上面側に高融点金属層またはシリサイド層を設けた第2領域とを有する基板上に、各第1、第2領域とに対して工事を有する第1絶縁膜を形成する。

次いで第2工程で、1絶縁膜上に第1、第2領域上で膜厚が異なるもので第1絶縁膜に対して工事を有する第2絶縁膜を形成する。

続いて第3工程で、第1領域上の第2絶縁膜に第1上部接続孔を形成し、第2領域上の第2絶縁膜に第2上部接続孔を形成する。

さらに第4工程で、第1絶縁膜に第1上部接続孔に連続する第1下部接続孔を形成するとともに第2上部接続孔に連続する第2下部接続孔を形成する。

【0010】

【作用】

上記半導体装置の接続孔の形成方法では、第1絶縁膜を設けたことから、第2絶縁膜に接続孔を形成する際には第1絶縁膜に対してエッチング選択性を有する第2絶縁膜のエッチングは第1絶縁膜上で停止される。

そのため、第1、第2領域上に第2絶縁膜の膜厚が違っている場合でも第1絶縁膜上でエッチングは停止される。

続いて第1絶縁膜をエッティングする第1上部接続孔に連続する第1下部接続孔を形成するとともに第2上部接続孔に連続する第2下部接続孔を形成する。

このとき、第1、第2領域に対して第1絶縁膜がエッティングされ、第1、第2領域

this invention, when substrate etching is done, offers formation method of the connecting hole of semiconductor device which is superior in order to form connecting hole in the insulating film where film thickness differs without makes objective.

[0009]

[Means to Solve the Problems]

As for this invention, it is a formation method of connecting hole of semiconductor device which can be made in order to achieve above-mentioned objective.

With namely, first step, first domain which at least provides high melting point metal layer or the silicide layer in top side and on group board which possesses second domain which at least provides high melting point metal layer or silicide layer in top side, first insulating film which possesses etching selectivity vis-a-vis with each first, second domain is formed.

Next with second step, being something where on first insulating film film thickness differs on first, second domain, it forms second insulating film which possesses etching selectivity vis-a-vis first insulating film.

Consequently with third step, first upper part connecting hole is formed in second insulating film on the first domain, second upper part connecting hole is formed in second insulating film on second domain.

Furthermore as with 4th step, first bottom connecting hole which in first insulating film is continued in first upper part connecting hole is formed, second bottom connecting hole which is continued in second upper part connecting hole is formed.

[0010]

[Working Principle]

With formation method of connecting hole of above-mentioned semiconductor device, when from fact that first insulating film is provided, forming connecting hole in second insulating film, as for etching of second insulating film which possesses etching selectivity vis-a-vis the first insulating film it is stopped on first insulating film.

Because of that, even with when film thickness of second insulating film differs on the first, second domain etching is stopped on first insulating film.

Consequently etching doing first insulating film, as it forms first bottom connecting hole which it continues in first upper part connecting hole it forms second bottom connecting hole which it continues in the second upper part connecting hole.

Because first insulating film has etching selectivity this time, vis-a-vis first, second domain, the first insulating film etching

第

がほとんどエッティングされることなく第 1 絶縁膜
底チップ

そのため、第 1, 第 2 領域がほとんどエッティングさ
れる 1, 第 2 下部接続孔が

【0011】

【実施例】

本発明の第 1 実施例を図 1 の形成工程図によ
って説明する。

【0012】

図 1 の(1)に示すように、基板 11 には、第 1 領域
12 と第 2 領域 13 とが設けられる。

この第 1 領域 12 は、例として基板 11 上に形成さ
れた配線であり、その上面側にはシリサイド層
14 が形成されている。

このシリサイド層 14 は高融点金属層で つても
よい。

また第 2 領域 13 は 11 上に形成さ
れた拡散層であり、その上面側にはシリサイド層
15 が

このシリサイド層 15 は高融点金属層で つても
よい。

【0013】

まず第 1 工程では、例えば低圧化学的気相成
長(以下、LPCVD という)法によって、上記基板
11 上に、第 1, 第 2 領域 12, 13 を覆う状態にして、
第 1, 第 2 領域 12, 13 とに対してエッティング選択性
(例として選択比が 3~5 度以上)を有する第 1 絶
縁膜 16 を形成する。

この第 1 絶縁膜 16 は、例えば窒化シリコン膜で
形成することが可能である。

なお窒化シリコンに対する高融点金属またはシリ
サイドのエッティング選択性比は 10 度となる。

【0014】

また上記 LPCVD 法で
一般的の LPCVD 装置を用いた。

反応気体には 一例として流量が 50sccm のジ
クロルシラン(SiH_2Cl_2), 流量が 200sccm のアン
モニア(NH_3)および流量が 2000sccm の窒素
(N_2)を用いた。

また反応雰囲気の圧力を例えば 70Pa、基板温
度を例として 760 deg C に設定した。

is done without first, second domain being done etching for
thermost part.

Because of that, first, second bottom connecting hole is
formed without first, second domain being done the etching
for most part.

【0011】

【Working Example(s)】

first Working Example of this invention is explained in
formation process figure of Figure 1.

【0012】

As shown in (1) of Figure 1, first domain 12 and second
domain 13 are provided in substrate 11.

As for this first domain 12, with metallization which was
formed on for example substrate 11, the silicide layer 14
being formed by top side, る。

This silicide layer 14 is good even with high melting point
metal layer.

In addition as for second domain 13, with diffusion layer
which was formed on the for example substrate 11, silicide
layer 15 is formed to top side.

This silicide layer 15 is good even with high melting point
metal layer.

【0013】

First with first step, with for example low pressure chemical
vapor phase deposition (Below, you call LPCVD) method, on
above-mentioned substrate 11, first insulating film 16 which
possesses etching selectivity (for example selectivity 3~5
extent or greater) to state which covers first, second domain
12, 13, vis-a-vis with first, second domain 12, 13 is formed.

Forms this first insulating film 16, is possible with for
example silicon nitride membrane.

Furthermore selected etching ratio of high melting point metal
or polycide for silicon nitride becomes 10 extent.

【0014】

In addition with above-mentioned LPCVD, for example
general LPCVD equipment was used as equipment.

flow dichlorosilane of 50 sccm (SiH_2Cl_2), flow ammonia of
200 sccm (NH_3) and flow used nitrogen (N_2) of 2000 sccm to
reaction gas, as one example.

In addition pressure of reaction atmosphere for example 70
Pa, substrate temperature was set to the for example 760 deg
C.

または、LPCVD の代わりにプラズマ化学的気相成長(以下プラズマ CVD という)法を用いてよい。

プラズマ CVD 法による
て例えば、一般の平行平板型の枚葉式プラズマ CVD 装置を用い、反応気体には、一例として流量が 50sccm のモノシラン(SiH_4), 流量が 200sccm のアンモニア(NH_3)および流量が 2000sccm の窒素(N_2)を用いる。

また反応雰囲気の圧力を例えば 600Pa、基板温度を例歎 360 deg C に設定する。

【0015】

次いで図 1 の(2)に示す第 2 工程を行う。

この工程では、常圧化学的気相成長(以下、常圧 CVD という)法によって上記第 1 絶縁膜 16 上にこの第 1 絶縁膜 16 に対してエッティング選択性(例歎選択 比が 3~5 度以上)を有する第 2 絶縁膜 17 を形成する。

この第 2 絶縁膜 17 は、例えばリンシリケートガラス(以下、PSG という)からなりその表面が平坦化されるように形成される。

また、第 1 領域 12 の方が 第 2 領域 13 よりも高く形成されている。

したがって、1 領域 12 上の第 2 絶縁膜 17 の膜厚より第 2 領域 13 上の第 2 絶縁膜 17 の膜厚の方が厚くなる。

【0016】

続いて図 1 の(3)に示す第 3 工程を行う。

この工程では、リソグラフィー技術(レジスト塗布、露光、現像、ベーキング等)により、第 2 絶縁膜 17 上にレジストマスク 31 を形成し、第 1, 第 2 領域 12, 13 の上方に開口部 32, 33 を形成する。

その後、例えば反応性イオンエッティング(以下、RIE という)によって、上記第 2 絶縁膜 16 が露出するまで第 2 絶縁膜 17 をエッティングする。

そして、第 1 領域 12 上の第 2 絶縁膜 17 に第 1 上部接続孔 18 を形成するとともに第 2 領域 13 上の第 2 絶縁膜 17 に第 2 上部接続孔 19 を形成する。

【0017】

上記 RIE では、
般の枚葉式マグネットロン RIE 装置を用いた。

Or, in place of LPCVD making use of plasma chemical vapor phase deposition (You call below plasma CVD) method it is good.

With film formation, making use of sheet-fed type plasma CVD equipment of for example general parallel flat plate type as film formation equipment, flow monosilane of 50 sccm (SiH_4), flow ammonia of 200 sccm (NH_3) and flow uses nitrogen (N_2) of 2000 sccm to thereaction gas , with plasma CVD method as one example.

In addition pressure of reaction atmosphere for example 600 Pa、 substrate temperature is set to the for example 360 deg C.

[0015]

second step which is shown next in (2) of Figure 1 is done.

With this step, with ambient pressure chemical vapor phase deposition (Below, you call ambient pressure CVD) method, second insulating film 17 which possesses the etching selectivity (for example selectivity 3 - 5 extent or greater) vis-a-vis this first insulating film 16 is formed on above-mentioned first insulating film 16.

This second insulating film 17, consists of for example phosphorus silicate glass (Below, you call PSG) and in order surface planarization to be done, is formed.

In addition, first domain 12 it is formed highly in comparison with the second domain 13 .

Therefore, film thickness of second insulating film 17 on first domain 12 compared to film thickness of second insulating film 17 on second domain 13 becomes thick.

[0016]

Consequently third step which is shown in (3) of Figure 1 is done.

With this step, resist mask 31 is formed on second insulating film 17 with lithography technology (resist application、exposure, development and baking etc), opening 32,33 is formed in upward direction of first, second domain 12,13.

After that, until with for example reactive ion etching (Below, you call RIE), above-mentioned second insulating film 16 exposes, second insulating film 17 etching is done.

As and, first upper part connecting hole 18 is formed in second insulating film 17 on first domain 12, second upper part connecting hole 19 is formed in second insulating film 17 on second domain 13.

[0017]

With above-mentioned RIE, for example general sheet-fed type magnetron RIE equipment was used as etching

第

エッチ

エッティング気体には、例えば流量が 8sccm のオクタフルオロシクロプロパン($C_4 F_8$)および流量が 60sccm の一酸化炭素(CO)を用いた。

また搬送気体には、例えば流量が 200sccm のアーガン(Argon)を用いた。

さらにエッティング雰囲気の圧力を例えば 5.3Pa、高周波電力を例えば 1.6kW、基板温度としてサセプタの温度を例えば 30 deg C に設定した。

【0018】

その後図 1 の(4)に示す第 4 工程を行う。

この工程では例えば RIE によって、第 1 絶縁膜 16 に、第 1 上部接続孔 18 に連続し第 1 下部接続孔 20 を形成するとともに第 2 上部接続孔 19 に連続し第 2 下部接続孔 21 を形成する。

このようにして、第 1 上部接続孔 18 と第 1 下部接続孔 20 とで第 1 接続孔 22 を形成し、第 2 上部接続孔 19 と第 2 下部接続孔 21 とで第 2 接続孔 23 を形成する。

【0019】

この RIE では上記シリサイド層 14 およびシリサイド層 15 が例えばチタンシリサイドで形成されている場合には、エッティング装置として例えば一般の枚葉式マグネットロン RIE 装置を用いた。

エッティング気体には、例えば流量が 30sccm のオクタフルオロシクロプロパン($C_4 F_8$)および流量が 170sccm の一酸化炭素(CO)を用いた。

またエッティング雰囲気の圧力を例冠 5.3Pa、高周波電力を例えば 1.0kW、基板温度としてサセプタの温度を例冠 30 deg C に設定した。

【0020】

その後、酸素プラズマアッシングまたは剥離液を用いたウェット処理によって、 RIE で用いたエッティングマスク 31 を除去する。

【0021】

上記半導体装置の接続孔の形成方法では、第 1 絶縁膜 16 を形成し、その上面にこの第 1 絶縁膜 16 に対して工 2 絶縁膜 17 を形成した。

equipment.

for example flow octafluorocyclobutane of 8 sccm ($C_4 F_8$) and flow used carbon monoxide (CO) of 60 sccm to etching gas .

In addition for example flow used argon (Ar) of 200 sccm to搬 air transporting body.

Furthermore temperature of susceptor was set to for example 30 deg C pressure of etching atmosphere with for example 5.3 Pa、 high frequency electric power as for example 1.6 kW、 substrate temperature.

【0018】

After that 4 th step which are shown in (4) of Figure 1 are done.

With this step, with for example RIE , in first insulating film 16, continuing in the first upper part connecting hole 18, as it forms first bottom connecting hole 20, continuing in second upper part connecting hole 19, it forms the second bottom connecting hole 21.

This way, with first upper part connecting hole 18 and first bottom connecting hole 20 first connecting hole 22 is formed, with the second upper part connecting hole 19 and second bottom connecting hole 21 second connecting hole 23 is formed.

【0019】

With this RIE, when above-mentioned silicide layer 14 and silicide layer 15 areformed with for example titanium polycide, for example general sheet-fed type magnetron RIE equipment was used as etching equipment.

for example flow octafluorocyclobutane of 30 sccm ($C_4 F_8$) and flow used carbon monoxide (CO) of 170 sccm to etching gas .

In addition temperature of susceptor was set to for example 30 deg C pressure of etching atmosphere with for example 5.3 Pa、 high frequency electric power as for example 1.0 kW、 substrate temperature.

【0020】

After that, with wet processing which uses oxygen plasma ashing or stripping solution, the etching mask 31 which is used with above-mentioned RIE is removed.

【0021】

With formation method of connecting hole of above-mentioned semiconductor device, first insulating film 16 was formed, second insulating film 17 which possesses etching selectivity vis-a-vis this first insulating film 16 was formed in upper surface

そのことから、第1,第2領域12,13上の第2絶縁膜17の膜厚が異なっている場合でも、第2絶縁膜17をエッ칭し、第2上部接続孔18,19を形成した際には第1絶縁膜16上でそのエッチングは停止される。

続いて第1,第2領域12,13に対してエッチング選択性を有する第1絶縁膜16をエッチングし、第1,第2領域12,13はほとんどエッチングされることなく第1,第2下部接続孔20,21が形成される。

したがって、第1,第2領域12,13をほとんどエッチングすることなく第1,第2接続孔22,23が形成される。

[0022]

また上記第1実施例では上記第1領域12は配線でなくてもよい。

例電極で ってもよく 11に形成された拡散層で ってもよい。

また上記第2領域13は拡散層で よい。

例えば配線または電極であつてもよい。

さらに上記第1実施例では、第1絶縁膜16を窒化シリコン、第2絶縁膜17をPSGで 一例で説明したが 材料に限定されることはなく、下地に対してエッチング選択性を有する材料であればよい。

また第2絶縁膜17を平坦化膜として説明したが、第1,第2領域12,13上の第2絶縁膜17の膜厚が異なるものであれば、上記第2絶縁膜17は 坦化膜でなくてもよい。

また第2絶縁膜17は複数の絶縁膜を積層した構造であつても差し支えない。

なお、第1,第2領域12,13上の第2絶縁膜17の膜厚がほぼ同等であっても、本発明の形成方法は適用できる。

[0023]

上記接続孔の形成方法に係わる半導体装置への具体的な適用例を、図2の形成工程図によつて以下に説明する。

formed in upper surface.

From the, even with when film thickness of second insulating film 17 on first, second domain 12,13 differs, etching doing second insulating film 17, case where it formed first, second upper part connecting hole 18,19 the etching is stopped on first insulating film 16.

Consequently from fact that etching it does first insulating film 16 which possesses etching selectivity vis-a-vis first, second domain 12,13, as for first, second domain 12,13 first, second bottom connecting hole 20,21 is formed without etching being done for most part.

Therefore, without etching doing first, second domain 12,13 for most part the first, second connecting hole 22,23 is formed.

[0022]

In addition it is not necessary with above-mentioned first Working Example, as for above-mentioned first domain 12 a metallization to be.

It is good even with for example electrode, or it is good even with diffusion layer which was formed to substrate 11.

In addition it is not necessary for above-mentioned second domain 13 the diffusion layer to be.

It is good even with for example metallization or electrode.

Furthermore with above-mentioned first Working Example, first insulating film 16 was explained with one example which formed silicon nitride, second insulating film 17 with PSG, but if a material which possesses etching selectivity without being limited in these material, vis-a-vis substrate it should have been.

In addition you explained second insulating film 17 as planarizing film it is not necessary, but if it is something where film thickness of second insulating film 17 on first, second domain 12,13 differs, for above-mentioned second insulating film 17 planarizing film to be.

In addition as for second insulating film 17 there is not hindrance even with the structure which laminates insulating film of plural.

Furthermore, film thickness of second insulating film 17 on first, second domain 12,13 being almost equal, it can apply formation method of this invention.

[0023]

Exemplary use example to semiconductor device which relates to formation method of the above-mentioned connecting hole, in formation process figure of Figure 2 is explained below.

図では、一例として、金属-絶縁膜-半導体(以下、MIS という)トランジスタを示す。

[0024]

図 2 の(1)に示すように、シリコン基板 51(上記図 1 の基板 11 に相当)上はゲート絶縁膜 52 を介してゲート電極 53(上記図 1 の第 1 領域 12 に相当)が

このゲート電極 53 は、いわゆるポリサイド構造を成していて、下層が多結晶シリコン層 54 からなり
タンシリサイド層 55 からなる。

またゲート電極 53 の両側におけるシリコン基板 51 の上層にはース・ドレイン領域 56,57(図 1 の第 2 領域 13 に相当)が

このソース・ドレイン領域 56,57 の上層にもチタンシリサイド層 58,59 が

すなわち、上記構成の MIS トランジスタ 50 はリサイド構造を成している。

なお、図では、素子分離領域およびゲート電極 53 の側壁に設けたサイドウォールも図示した。

[0025]

まず第 1 工程では、例えば LPCVD 法またはプラズマ CVD 法によって、上記ゲート電極 53 を覆う状態にしてシリコン基板 51 上に、上記チタンシリサイド層 55,58,59 に対してエッチング選択性(例選択比が 3~5 程度以上)を有する第 1 絶縁膜 16 を形成する。

この第 1 絶縁膜 16 は、例えば窒化シリコン膜で形成する。

上記 LPCVD 法またはプラズマ CVD 法では、上記図 1 によって説明したのと同様の条件にて窒化シリコン膜の成膜を行う。

[0026]

次いで図 2 の(2)に示す第 2 工程を行う。

この工程では、常圧 CVD 法によって、
1 絶縁膜 16 上にこの第 1 絶縁膜 16 に対してエッチング選択性(例選択比が 3~5 程度以上)を有する第 2 絶縁膜 17 を形成する。

この第 2 絶縁膜 17 は、例えばリンシリケートガラス(以下 PSG という)からなり、その表面が平坦化されるように形成される。

そのため、ゲート電極 53 上とソース・ドレイン領域 56,57 上と 2 絶縁膜 17 の膜厚が

In figure, metal-insulating film-semiconductor (Below, you call MIS) transistor is shown as one example.

[0024]

As shown in (1) of Figure 2, on silicon substrate 51 (Suitable to substrate 11 of above-mentioned Figure 1) through gate insulating film 52, gate electrode 53 (Suitable to first domain 12 of above-mentioned Figure 1) is formed.

As for this gate electrode 53, forming so-called poly side structure, bottom layer consists of polycrystalline silicon layer 54,top layer consists of for example titanium silicide layer 55,56,57.

In addition source * drain domain 56,57 (Suitable to second domain 13 of Figure 1) is provided in top layer of silicon substrate 51 in the both sides of gate electrode 53.

titanium silicide layer 58,59 is formed to also top layer of this source * drain domain 56,57.

MIS Transistor 50 of namely, above-mentioned constitution has formed salicided structure.

Furthermore, in figure, it illustrated also sidewall which is provided in sidewall of disassociated element region and gate electrode 53.

[0025]

First with first step, with for example LPCVD or plasma CVD method , on silicon substrate 51, the first insulating film 16 which possesses etching selectivity (for example selectivity 3 - 5 extent or greater) vis-a-vis above-mentioned titanium silicide layer 55,58,59 is formed to state which covers above-mentioned gate electrode 53.

It forms this first insulating film 16, with for example silicon nitride membrane.

With above-mentioned LPCVD or plasma CVD method, that you explained with above-mentioned Figure 1 , film formation of silicon nitride membrane is done with similar condition .

[0026]

second step which is shown next in (2) of Figure 2 is done.

With this step, with ambient pressure CVD method , second insulating film 17 which possesses etching selectivity (for example selectivity 3 - 5 extent or greater) vis-a-vis this first insulating film 16 is formed on above-mentioned first insulating film 16.

This second insulating film 17 consists of for example phosphorus silicate glass (You call below PSG), in order surface planarization to be done, is formed.

Because of that, on gate electrode 53 and film thickness of second insulating film 17 differs with with on source * drain

る。

ここでは、ゲート電極 53 上の第 2 絶縁膜 17 よりソース・ドレイン領域 56,57 上の第 2 絶縁膜 17 の方が膜厚は厚くなる。

【0027】

続いて図 2 の(3)に示す第 3 工程で ラフィー技術(レジスト塗布、露光、現像、ベーキング等)によって、エッティングマスク 60 を形成し、続いて RIE によって、 第 2 絶縁膜 16 が露出するまで第 2 絶縁膜 17 をエッティングする。

そして、ゲート電極 53 上の第 2 絶縁膜 17 に第 1 上部接続孔 61 を形成するとともにソース・ドレイン領域 56,57 上の第 2 絶縁膜 17 に第 2 上部接続孔 62,63 を形成する。

この RIE で 1 によつて説明したのと同様の条件にてエッティングを行う。

【0028】

その後図 2 の(4)に示す第 4 工程で RIE によって、 第 1 絶縁膜 16 に第 1 上部接続孔 61 に連続して第 1 下部接続孔 64 を形成するとともに第 2 上部接続孔 62,63 に連続し第 2 下部接続孔 65,66 を形成する。

このようにして、第 1 上部接続孔 61 と第 1 下部接続孔 64 とでゲート電極 53 に通じる第 1 接続孔 67 を形成し、第 2 上部接続孔 62,63 と第 2 下部接続孔 65,66 とでソース・ドレイン領域 56,57 に通じる第 2 接続孔 68,69 を形成する。

この RIE で 1 によつて説明したのと同様の条件にてエッティングを行う。

【0029】

その後、酸素プラズマアッシングまたは剥離液を用いたウェット処理によって、 RIE で用いたエッティングマスク 60 を除去する。

【0030】

このように、ゲート電極 53 のチタンシリサイド層 55 およびソース・ドレイン領域 56,57 のチタンシリサイド層 58,59 をほとんどエッティングすることなく接続孔 67,68,69 を形成することができるので、チタンシリサイド層 55,58,59 による低抵抗化の効果が減少することない。

したがって、サリサイド構造の MIS トランジスタを搭載したスタティック RAM [SRAM(Static Random Access Memory)] や ASIC(Application Specific Integrated Circuit) など

domain 56,57.

Here, second insulating film 17 on gate electrode 53 compared to second insulating film 17 on source * drain domain 56,57 as for film thickness becomes thick.

[0027]

Consequently until with third step which is shown in (3) of the Figure 2, with lithography technology (resist application, exposure, development and baking etc), etching mask 60 is formed, continuously with the RIE , above-mentioned second insulating film 16 exposes, second insulating film 17 etching is done.

As and, first upper part connecting hole 61 is formed in second insulating film 17 on gate electrode 53, second upper part connecting hole 62,63 is formed in second insulating film 17 on source * drain domain 56,57.

With this RIE, that you explained with above-mentioned Figure 1 ,etching is done with similar condition .

[0028]

After that with 4 th step which are shown in (4) of Figure 2, with RIE , in first insulating film 16 continuing in first upper part connecting hole 61, as it forms the first bottom connecting hole 64, continuing in second upper part connecting hole 62,63, it forms second bottom connecting hole 65,66.

This way, first connecting hole 67 which with first upper part connecting hole 61 and first bottom connecting hole 64 leads to the gate electrode 53 is formed, second connecting hole 68,69 which with second upper part connecting hole 62,63 and second bottom connecting hole 65,66 leads to source * drain domain 56,57 is formed.

With this RIE, that you explained with above-mentioned Figure 1 ,etching is done with similar condition .

[0029]

After that, with wet processing which uses oxygen plasma ashing or stripping solution, the etching mask 60 which is used with above-mentioned RIE is removed.

[0030]

This way, because connecting hole 67,68,69 can be formed without titanium silicide layer 55 of the gate electrode 53 or etching doing titanium silicide layer 58,59 of source * drain domain 56,57 for most part,there are not times when effect of resistance-lowering decreases with titanium silicide layer 55,58,59 .

Therefore, static RAM which installs MIS transistor of salicided structure {SRAM (Static random access memory)} and with ASIC (Application Specific Integrated Circuit) or

上記!

Specific Integrated Circuit)等の半導体装置では、動作速度が低下することなく高速動作が確保される。

【0031】

次に第2実施例を図3の形成工程図によって説明する。

また、上記図1で 同様の構成部品には同一の符号を付す。

【0032】

図3の(1)に示すように、段差を有する基板71の段差上部71Uに第1領域12が段差下部71Bに第2領域13が

この第1領域12は、基板71上に形成された例えは配線であり、その上面側にはシリサイド層14が形成されてる。

このシリサイド層14は高融点金属層で ってもよい。

また第2領域13は、基板71に形成された例えは拡散層であり、その上面側にはシリサイド層15が形成されてる。

このシリサイド層15は高融点金属層で ってもよい。

【0033】

上記図1で 同様にして、第1工程で、 71上に、第1,第2領域12,13を覆う状態にして、第1,第2領域12,13とに対してエッティング選択性(例選択比が3~5程度以上)を有する第1絶縁膜16を形成する。

【0034】

次いで第2工程で、 1絶縁膜16上にこの第1絶縁膜16に対してエッティング選択性(例選択比が3~5程度以上)を有する第2絶縁膜17を形成する。

ここでは、例えはリンシリケートガラス(以下PSGという)を用い、表面をほぼ平坦に形成する。

また、第1領域12の方が 第2領域13よりも高くなっている。

したがって、 1領域12上に第2絶縁膜17の膜厚より第2領域13上に第2絶縁膜17の膜厚の方が厚くなる。

【0035】

続いて図3の(2)に示す第3工程で ラフィー技術と例えはRIEとによって、 1絶縁

other semiconductor device, high speed operation is guaranteed without operating speed decreasing.

[0031]

second Working Example is explained next in formation process figure of Figure 3.

In addition, that you explained with above-mentioned Figure 1, the same symbol to similar component attaching.

[0032]

As shown in (1) of Figure 3, first domain 12 is formed by step upper part 71U of group board 71 which possesses step, second domain 13 is formed to step bottom 71B.

As for this first domain 12, with for example metallization which was formed on substrate 71, the silicide layer 14 being formed by top side, る。

This silicide layer 14 is good even with high melting point metal layer.

In addition as for second domain 13, with for example diffusion layer which was formed to the substrate 71, silicide layer 15 being formed by top side, る。

This silicide layer 15 is good even with high melting point metal layer.

[0033]

That you explained with above-mentioned Figure 1, with first step, on above-mentioned substrate 71, first insulating film 16 which possesses etching selectivity (for example selectivity 3 - 5 extent or greater) to state which covers first, second domain 12,13, vis-a-vis with first, second domain 12,13 is formed to similar.

[0034]

Next with second step, second insulating film 17 which possesses etching selectivity (for example selectivity 3 - 5 extent or greater) vis-a-vis this first insulating film 16 is formed on first insulating film 16.

Here, surface is almost formed in flat making use of for example phosphorus silicate glass (You call below PSG).

In addition, first domain 12 it has become high in comparison with the second domain 13.

Therefore, on first domain 12 film thickness of second insulating film 17 compared to film thickness of second insulating film 17 becomes thick on second domain 13.

[0035]

Consequently until with third step which is shown in (2) of the Figure 3, above-mentioned first insulating film 16 exposes

膜 16 が露出するまで第 2 絶縁膜 17 をエグする。

そして、第 1 領域 12 上の第 2 絶縁膜 17 に第 1 上部接続孔 18 を形成するとともに第 2 領域 13 上の第 2 絶縁膜 17 に第 2 上部接続孔 19 を形成する。

このとき、第 2 絶縁膜 17 第 1 絶縁膜 16 に対してエッティング選択性を有している第 1 絶縁膜 16 上でこのエッティングは停止される。

なお、図面ではレジストマスクの図示は省略した。

[0036]

その後図 3 の(3)に示す第 4 工程で RIE によって、第 1 絶縁膜 16 に第 1 上部接続孔 18 に連続して第 1 下部接続孔 20 を形成するとともに第 2 上部接続孔 19 に連続して第 2 下部接続孔 21 を形成する。

このようにして、第 1 上部接続孔 18 と第 1 下部接続孔 20 とで第 1 接続孔 22 を形成し、第 2 上部接続孔 19 と第 2 下部接続孔 21 とで第 2 接続孔 23 を形成する。

このとき、第 1 絶縁膜 16 は第 1, 第 2 領域 12, 13 に対してエッティング選択性を有しているので、第 1, 第 2 領域 12, 13 上でこのエッティングは停止される。

[0037]

上記図 3 によって説明した接続孔の形成方法では、上記図 1 によつて説明した接続孔の形成方法と同様に、第 1, 第 2 領域 12, 13 をほとんどエッティングすることなく第 1, 第 2 接続孔 22, 23 ができる。

[0038]

また上記第 2 実施例では上記第 1 領域 12 は配線でなくてもよい。

例電極で ってもよく 71 に形成された拡散層で ってもよい。

また上記第 2 領域 13 は拡散層で よい。

例えば配線または電極で ってもよい。

さらに上記第 2 実施例では、第 1 絶縁膜 16 を窒化シリコン、第 2 絶縁膜 17 を PSG で 一

with lithography technology and for example RIE ,second insulating film 17 etching is done.

As and, first upper part connecting hole 18 is formed in second insulating film 17 on first domain 12, second upper part connecting hole 19 isformed in second insulating film 17 on second domain 13.

Because this time, second insulating film 17 has had etching selectivity vis-a-vis first insulating film 16, this etching is stopped on first insulating film 16.

Furthermore, with drawing it abbreviated illustration of the resist mask.

[0036]

After that with 4 th step which are shown in (3) of Figure 3, with RIE , in first insulating film 16 continuing in first upper part connecting hole 18, as it forms the first bottom connecting hole 20, continuing in second upper part connecting hole 19, it forms second bottom connecting hole 21.

This way, with first upper part connecting hole 18 and first bottom connecting hole 20 first connecting hole 22 is formed, with the second upper part connecting hole 19 and second bottom connecting hole 21 second connecting hole 23 is formed.

Because this time, first insulating film 16 has had etching selectivity vis-a-vis first, second domain 12, 13, this etching is stopped on first, second domain 12, 13.

[0037]

With formation method of connecting hole which is explained with the above-mentioned Figure 3 , in same way as formation method of connecting hole which is explained with above-mentioned Figure 1 , first, second connecting hole 22, 23 is formed without etching doing first, second domain 12, 13 for most part.

[0038]

In addition it is not necessary with above-mentioned second Working Example, as for above-mentioned first domain 12 a metallization to be.

It is good even with for example electrode , or it is good even with diffusion layer which was formed to substrate 71.

In addition it is not necessary for above-mentioned second domain 13 the diffusion layer to be.

It is good even with for example metallization or electrode .

Furthermore with above-mentioned second Working Example, first insulating film 16 was explained with one

例で説明したが 材料に限定されることではなく、下地に対してエッティング選択性を有する材料であればよい。

また第2絶縁膜17を平坦化膜として説明したが、第1,第2領域12,13上の第2絶縁膜17の膜厚が異なるものであれば、上記第2絶縁膜17は 坦化膜でなくてもよい。

また第2絶縁膜17は複数の絶縁膜を積層した構造であっても差し支えない。

なお、第1,第2領域12,13上の第2絶縁膜17の膜厚がほぼ同等であっても、本発明の形成方法は適用できる。

【0039】

【発明の効果】

以上、説明したように本発明によれば、下地となる第1,第2領域に対してエッティング選択性を有する第1絶縁膜を設けたので、2絶縁膜に接続孔を形成する際に、第2絶縁膜の工を第1絶縁膜で停止することが きるとともに、第1,第2領域をほとんどエッティングすることなく第1絶縁膜を工 1,第2接続孔を形成することが きる。

よって、1,第2領域の下地層の厚さが確保され、半導体装置の性能の悪化を防ぐことができる。

【図面の簡単な

【図1】

本発明の第1実施例の形成工程図である

【図2】

第1実施例の具体的適用例の形成工程図である。

【図3】

第2実施例の形成工程図である

【図4】

従来例の形成工程図である。

【図5】

課題の説明図である

【符号の説明】

example which formed silicon nitride、second insulating film 17 with PSG, but if a material which possesses etching selectivity without being limited in these material,vis-a-vis substrate it should have been.

In addition you explained second insulating film 17 as planarizing film it is not necessary, but if it is something where film thickness of second insulating film 17 on first, second domain 12,13 differs, for above-mentioned second insulating film 17 planarizing film to be.

In addition as for second insulating film 17 there is not hindrance even with the structure which laminates insulating film of plural.

Furthermore, film thickness of second insulating film 17 on first, second domain 12,13 being almost equal,it can apply formation method of this invention.

【0039】

【Effects of the Invention】

As above, explained, because first insulating film which possesses etching selectivity according to this invention, vis-a-vis first, second domain which becomes substrate was provided, when forming connecting hole in second insulating film, as etching of the second insulating film can be stopped with first insulating film, etching doing first insulating film without etching doing first, second domain for most part, it can form first, second connecting hole.

Depending, thickness of substrate layer of first, second domain is guaranteed, it prevents deterioration of performance of semiconductor device, is possible. 第

【Brief Explanation of the Drawing(s)】

【Figure 1】

It is a formation process figure of first Working Example of this invention.

【Figure 2】

It is a formation process figure of concrete use example of first Working Example.

【Figure 3】

It is a formation process figure of second Working Example.

【Figure 4】

It is a formation process figure of Prior Art Example.

【Figure 5】

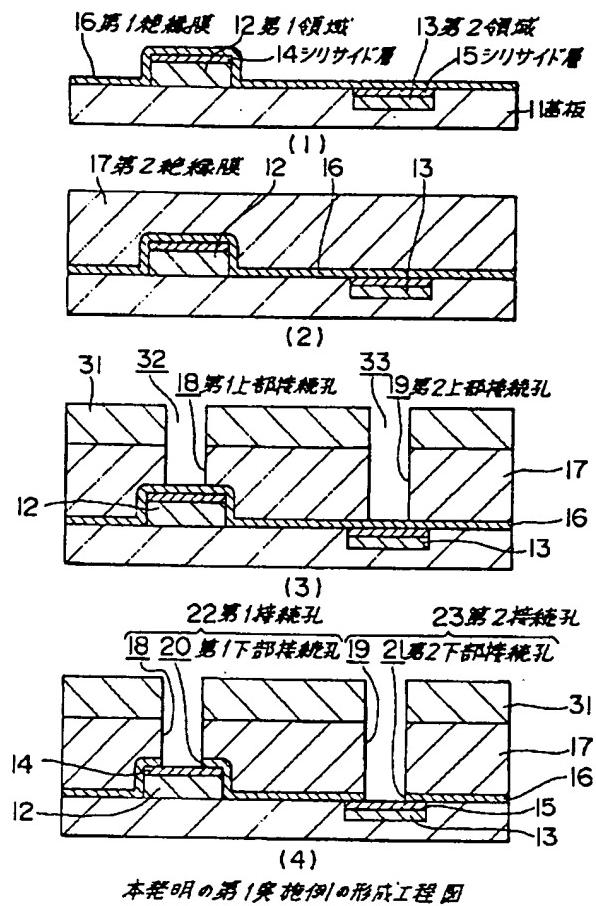
It is a explanatory diagram of problem.

【Explanation of Symbols in Drawings】

11	11
基板	substrate
12	12
第1領域	first domain
13	13
第2領域	second domain
14	14
シリサイド層	silicide layer
15	15
シリサイド層	silicide layer
16	16
第1絶縁膜	first insulating film
17	17
第2絶縁膜	second insulating film
18	18
第1上部接続孔	first upper part connecting hole
19	19
第2上部接続孔	second upper part connecting hole
20	20
第1下部接続孔	first bottom connecting hole
21	21
第2下部接続孔	second bottom connecting hole
22	22
第1接続孔	first connecting hole
23	23
第2接続孔	second connecting hole
Drawings	

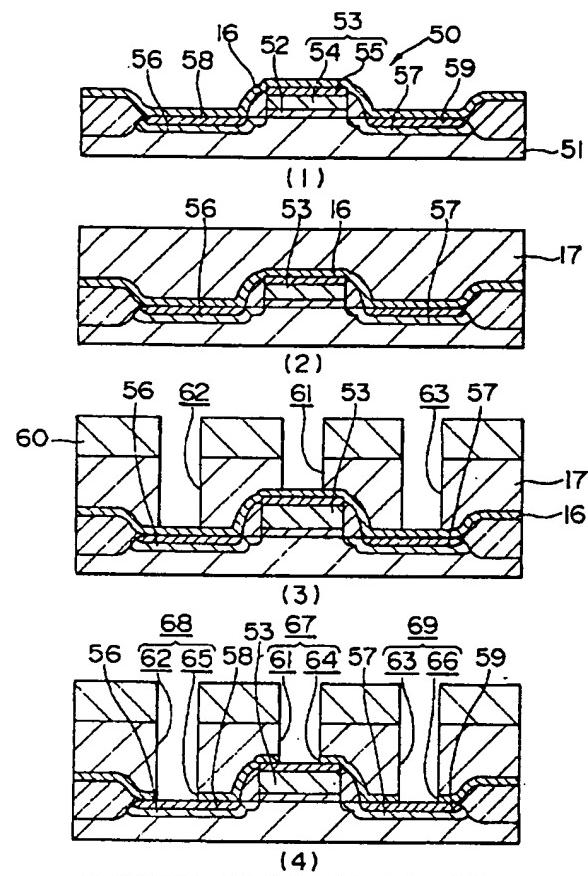
【図1】

[Figure 1]



【図2】

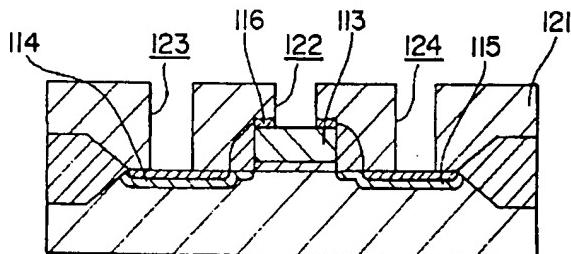
[Figure 2]



第1実施例の具体的適用例の形成工程図

【図5】

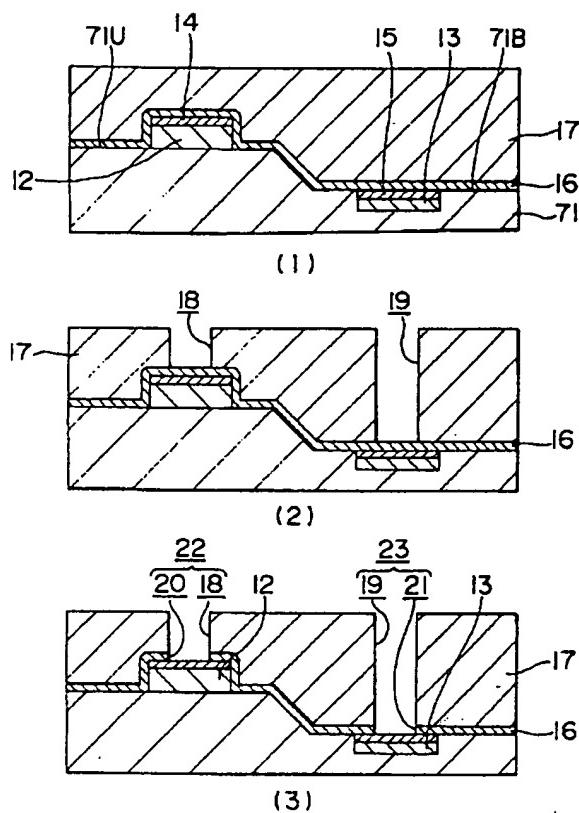
[Figure 5]



課題の説明図

【図3】

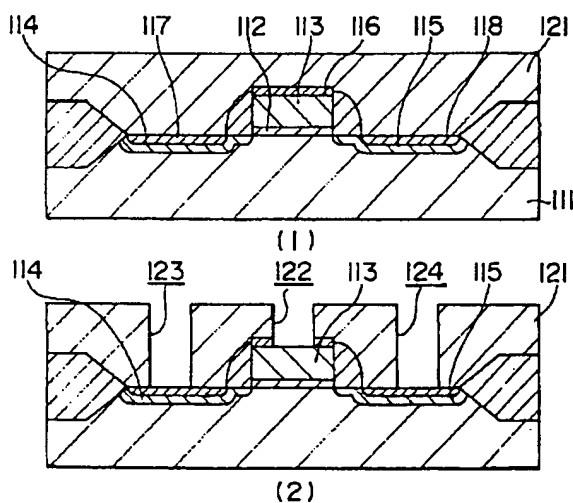
[Figure 3]



第2実施例の形成工程図

【図4】

[Figure 4]



従来例の形成工程図

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-250449

(43)公開日 平成8年(1996)9月27日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/28		301	H 01 L 21/28	L
21/3065			21/316	H
21/316			21/318	B
21/318			21/302	F

審査請求 未請求 請求項の数4 OL (全7頁) 最終頁に続く

(21)出願番号 特願平7-49355
 (22)出願日 平成7年(1995)3月9日

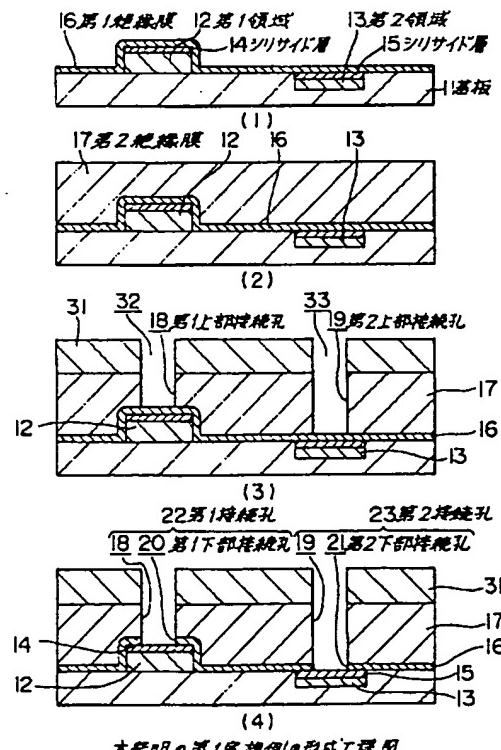
(71)出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (72)発明者 牛脇 哲雄
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (74)代理人 弁理士 舟橋 國則

(54)【発明の名称】 半導体装置の接続孔の形成方法

(57)【要約】

【目的】 本発明は、膜厚の異なる絶縁膜に接続孔を形成する際に下地のオーバエッチングの防止を図る。

【構成】 第1工程で、少なくとも上面側にシリサイド層14(または高融点金属層)を設けた第1領域12と少なくとも上面側にシリサイド層15(または高融点金属層)を設けた第2領域13とを備えた基板11上に、各第1、第2領域12、13とに対してエッチング選択性を有する第1絶縁膜16を形成し、次いで第2工程で、第1絶縁膜16上に第1、第2領域12、13上で膜厚が異なる第2絶縁膜17を形成する。続いて第3工程で、第1、第2領域12、13上の第2絶縁膜17に第1、第2上部接続孔18、19を形成し、さらに第4工程で、第1絶縁膜16に第1上部接続孔18に連続する第1下部接続孔20を形成し、第2上部接続孔19に連続する第2下部接続孔21を形成する。



本発明の第1実施例の形成工程図

【特許請求の範囲】

【請求項1】少なくとも上面側に高融点金属層またはシリサイド層を設けた第1領域と少なくとも上面側に高融点金属層またはシリサイド層を設けた第2領域とを設けた基板上に、該第1領域と該第2領域とに対してエッチング選択性を有する第1絶縁膜を形成する第1工程と、

前記第1絶縁膜上に、前記第1領域上と前記第2領域上で膜厚が異なるもので該第1絶縁膜に対してエッチング選択性を有する第2絶縁膜を形成する第2工程と、
前記第1領域上の前記第2絶縁膜に第1上部接続孔を形成するとともに前記第2領域上の前記第2絶縁膜に第2上部接続孔を形成する第3工程と、
前記第1絶縁膜に前記第1上部接続孔に連続して第1下部接続孔を形成するとともに該第1絶縁膜に前記第2上部接続孔に連続して第2下部接続孔を形成する第4工程とを備えたことを特徴とする半導体装置の接続孔の形成方法。

【請求項2】請求項1記載の半導体装置の接続孔の形成方法において、

前記第1領域は前記基板に形成された配線、電極または拡散層であり、前記第2領域は前記基板に形成された配線、電極または拡散層であること特徴とする半導体装置の接続孔の形成方法。

【請求項3】請求項1記載の半導体装置の接続孔の形成方法において、

前記第1領域は前記基板の段差上部に形成されたものであり、前記第2領域は前記基板の段差下部に形成されたものであること特徴とする半導体装置の接続孔の形成方法。

【請求項4】請求項3記載の半導体装置の接続孔の形成方法において、

前記第1領域は前記基板の段差上部に形成された配線、電極または拡散層であり、前記第2領域は前記基板の段差下部に形成された配線、電極または拡散層であること特徴とする半導体装置の接続孔の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の絶縁膜、例えば層間絶縁膜に設けられる接続孔の形成方法に関する。

【0002】

【従来の技術】高速デバイスに必要な項目の一つとして配線抵抗の低抵抗化があげられる。その一つには、ゲート電極に用いる多結晶シリコンおよびソース・ドレイン拡散層をシリサイド化することにより低抵抗化する技術がある。特にゲート電極上部とソース・ドレイン拡散層上部を自己整合的にシリサイド化する技術は、サリサイド(SALICIDE)技術と呼ばれている。

【0003】一方、トランジスタ形成後に高温熱処理を

必要としない工程では配線材料として主としてアルミニウム系金属が用いられている。近年は集積度の観点から配線が多層化しているが、アルミニウム系配線は段差被覆性が十分に得られないため、配線の断線を防止するために層間絶縁膜の平坦化が必要となっている。また、段差が大きいリソグラフィー工程での焦点深度余裕が十分に取れないので、この点からも層間絶縁膜の平坦化が必要になっている。

【0004】上記サリサイド技術と層間絶縁膜の平坦化とを組み合わせた場合で、ゲート電極上の層間絶縁膜と拡散層上の層間絶縁膜とに接続孔を形成する例を、図4の形成工程図によって説明する。

【0005】図4の(1)に示すように、基板111上にはゲート絶縁膜112を介してゲート電極113が形成され、さらにゲート電極113の両側における基板111にはソース・ドレイン拡散層114, 115が形成されている。そしてゲート電極113, ソース・ドレン領域114, 115の各上層にはシリサイド層116, 117, 118が形成されている。このような基板111に層間絶縁膜121を形成する。なお、図では、素子分離領域およびゲート電極の側壁に形成したサイドウォールも示した。

【0006】その後図4の(2)に示すように、リソグラフィー技術とエッチングとによって、ゲート電極113上およびソース・ドレイン拡散層114, 115上の層間絶縁膜121に、ゲート電極113およびソース・ドレイン拡散層114, 115に通じる接続孔122, 123, 124を形成する。なお、レジストマスクの図示は省略した。

【0007】

【発明が解決しようとする課題】しかしながら、上記接続孔の製造方法では、図5に示すように、層間絶縁膜121は、ソース・ドレイン拡散層114, 115上の方がゲート電極113上よりも厚くなっている。そのため、ゲート電極113上およびソース・ドレイン拡散層114, 115上の層間絶縁膜121に、同時に接続孔122, 123, 124を形成した場合には、先にゲート電極113上に接続孔122が形成される。そして、接続孔122を形成した後もソース・ドレン領域114, 115上に接続孔123, 124の形成は続くので、このエッチングによって接続孔122の底部が過剰にエッチングされる。そのため、ゲート電極113の上部に形成されているシリサイド層116がエッチングされるので、シリサイド層116によるゲート電極113の低抵抗化の効果が減少する。

【0008】本発明は、下地をエッチングするなく膜厚の異なる絶縁膜に接続孔を形成するのに優れた半導体装置の接続孔の形成方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、上記目的を達

成するためになされた半導体装置の接続孔の形成方法である。すなわち、第1工程で、少なくとも上面側に高融点金属層またはシリサイド層を設けた第1領域と少なくとも上面側に高融点金属層またはシリサイド層を設けた第2領域とを有する基板上に、各第1、第2領域に対してエッチング選択性を有する第1絶縁膜を形成する。次いで第2工程で、第1絶縁膜上に第1、第2領域上で膜厚が異なるもので第1絶縁膜に対してエッチング選択性を有する第2絶縁膜を形成する。続いて第3工程で、第1領域上の第2絶縁膜に第1上部接続孔を形成し、第2領域上の第2絶縁膜に第2上部接続孔を形成する。さらに第4工程で、第1絶縁膜に第1上部接続孔に連続する第1下部接続孔を形成するとともに第2上部接続孔に連続する第2下部接続孔を形成する。

【0010】

【作用】上記半導体装置の接続孔の形成方法では、第1絶縁膜を設けたことから、第2絶縁膜に接続孔を形成する際には第1絶縁膜に対してエッチング選択性を有する第2絶縁膜のエッチングは第1絶縁膜上で停止される。そのため、第1、第2領域上に第2絶縁膜の膜厚が異なっている場合でも第1絶縁膜上でエッチングは停止される。続いて第1絶縁膜をエッチングして、第1上部接続孔に連続する第1下部接続孔を形成するとともに第2上部接続孔に連続する第2下部接続孔を形成する。このとき、第1、第2領域に対して第1絶縁膜がエッチング選択性を有するため、第1、第2領域がほとんどエッチングされることなく第1、第2下部接続孔が形成される。

【0011】

【実施例】本発明の第1実施例を図1の形成工程図によって説明する。

【0012】図1の(1)に示すように、基板11には、第1領域12と第2領域13とが設けられている。この第1領域12は、例えば基板11上に形成された配線であり、その上面側にはシリサイド層14が形成されている。このシリサイド層14は高融点金属層であってもよい。また第2領域13は、例えば基板11上に形成された拡散層であり、その上面側にはシリサイド層15が形成されている。このシリサイド層15は高融点金属層であってもよい。

【0013】まず第1工程では、例えば低圧化学的気相成長(以下、LPCVDという)法によって、上記基板11上に、第1、第2領域12、13を覆う状態にして、第1、第2領域12、13とに対してエッチング選択性(例えば選択性比が3~5程度以上)を有する第1絶縁膜16を形成する。この第1絶縁膜16は、例えば窒化シリコン膜で形成することが可能である。なお窒化シリコンに対する高融点金属またはシリサイドのエッチング選択性比は10程度となる。

【0014】また上記LPCVD法では、装置として例えば、一般的LPCVD装置を用いた。反応気体には、一例として流量が50sccmのジクロロシラン(SiH₂C₁₂)、流量が200sccmのアンモニア(NH₃)および流量が2000sccmの窒素(N₂)を用いた。また反応雰囲気の圧力を例えば70Pa、基板温度を例えば760℃に設定した。または、LPCVDの代わりにプラズマ化学的気相成長(以下プラズマCVDという)法を用いてもよい。プラズマCVD法による成膜では、成膜装置として例えば、一般的の平行平板型の枚葉式プラズマCVD装置を用い、反応気体には、一例として流量が50sccmのモノシラン(SiH₄)、流量が200sccmのアンモニア(NH₃)および流量が2000sccmの窒素(N₂)を用いる。また反応雰囲気の圧力を例えば600Pa、基板温度を例えば360℃に設定する。

【0015】次いで図1の(2)に示す第2工程を行う。この工程では、常圧化学的気相成長(以下、常圧CVDという)法によって、上記第1絶縁膜16上にこの第1絶縁膜16に対してエッチング選択性(例えば選択性比が3~5程度以上)を有する第2絶縁膜17を形成する。この第2絶縁膜17は、例えばリンシリケートガラス(以下、PSGという)からなりその表面が平坦化されるように形成される。また、第1領域12の方が第2領域13よりも高く形成されている。したがって、第1領域12上の第2絶縁膜17の膜厚より第2領域13上の第2絶縁膜17の膜厚の方が厚くなる。

【0016】続いて図1の(3)に示す第3工程を行う。この工程では、リソグラフィー技術(レジスト塗布、露光、現像、ベーリング等)により、第2絶縁膜17上にレジストマスク31を形成し、第1、第2領域12、13の上方に開口部32、33を形成する。その後、例えば反応性イオンエッチング(以下、RIEという)によって、上記第2絶縁膜16が露出するまで第2絶縁膜17をエッチングする。そして、第1領域12上の第2絶縁膜17に第1上部接続孔18を形成するとともに第2領域13上の第2絶縁膜17に第2上部接続孔19を形成する。

【0017】上記RIEでは、エッチング装置として例えば、一般的枚葉式マグネットロンRIE装置を用いた。エッチング気体には、例えば流量が8sccmのオクタフルオロシクロブタン(C₄F₈)および流量が60sccmの一酸化炭素(CO)を用いた。また搬送気体には、例えば流量が200sccmのアルゴン(Argon)を用いた。さらにエッチング雰囲気の圧力を例えば5.3Pa、高周波電力を例えば1.6kW、基板温度としてサセプタの温度を例えば30℃に設定した。

【0018】その後図1の(4)に示す第4工程を行う。この工程では、例えばRIEによって、第1絶縁膜16に、第1上部接続孔18に連続して第1下部接続孔

20を形成するとともに第2上部接続孔19に連続して第2下部接続孔21を形成する。このようにして、第1上部接続孔18と第1下部接続孔20とで第1接続孔22を形成し、第2上部接続孔19と第2下部接続孔21とで第2接続孔23を形成する。

【0019】このR I Eでは、上記シリサイド層14およびシリサイド層15が例えばチタンシリサイドで形成されている場合には、エッチャング装置として例えば、一般的の枚葉式マグネットロンR I E装置を用いた。エッチャング気体には、例えば流量が30 sccmのオクタフルオロシクロブタン(C_4F_8)および流量が170 sccmの一酸化炭素(CO)を用いた。またエッチャング雰囲気の圧力を例えば5.3 Pa、高周波電力を例えば1.0 kW、基板温度としてサセプタの温度を例えば30℃に設定した。

【0020】その後、酸素プラズマアッキングまたは剥離液を用いたウェット処理によって、上記R I Eで用いたエッチャングマスク31を除去する。

【0021】上記半導体装置の接続孔の形成方法では、第1絶縁膜16を形成し、その上面にこの第1絶縁膜16に対してエッチャング選択性を有する第2絶縁膜17を形成した。そのことから、第1、第2領域12、13上の第2絶縁膜17の膜厚が異なっている場合でも、第2絶縁膜17をエッチャングして第1、第2上部接続孔18、19を形成した際には第1絶縁膜16上でそのエッチャングは停止される。続いて第1、第2領域12、13に対してエッチャング選択性を有する第1絶縁膜16をエッチャングしたことから、第1、第2領域12、13はほとんどエッチャングされることなく第1、第2下部接続孔20、21が形成される。したがって、第1、第2領域12、13をほとんどエッチャングすることなく第1、第2接続孔22、23は形成される。

【0022】また上記第1実施例では、上記第1領域12は配線でなくてもよい。例えば電極であってもよく、または基板11に形成された拡散層であってもよい。また上記第2領域13は拡散層でなくてもよい。例えば配線または電極であってもよい。さらに上記第1実施例では、第1絶縁膜16を窒化シリコン、第2絶縁膜17をPSGで形成した一例で説明したが、これらの材料に限定されることはなく、下地に対してエッチャング選択性を有する材料であればよい。また第2絶縁膜17を平坦化膜として説明したが、第1、第2領域12、13上の第2絶縁膜17の膜厚が異なるものであれば、上記第2絶縁膜17は平坦化膜でなくてもよい。また第2絶縁膜17は複数の絶縁膜を積層した構造であっても差し支えはない。なお、第1、第2領域12、13上の第2絶縁膜17の膜厚がほぼ同等であっても、本発明の形成方法は適用できる。

【0023】上記接続孔の形成方法に係わる半導体装置への具体的な適用例を、図2の形成工程図によって以下

に説明する。図では、一例として、金属-絶縁膜-半導体(以下、MISという)トランジスタを示す。

【0024】図2の(1)に示すように、シリコン基板51(上記図1の基板11に相当)上はゲート絶縁膜52を介してゲート電極53(上記図1の第1領域12に相当)が形成されている。このゲート電極53は、いわゆるポリサイド構造を成していて、下層が多結晶シリコン層54からなり、上層が例えばチタンシリサイド層55からなる。またゲート電極53の両側におけるシリコン基板51の上層にはソース・ドレイン領域56、57(図1の第2領域13に相当)が設けられている。このソース・ドレイン領域56、57の上層にもチタンシリサイド層58、59が形成されている。すなわち、上記構成のMISトランジスタ50はサリサイド構造を成している。なお、図では、素子分離領域およびゲート電極53の側壁に設けたサイドウォールも図示した。

【0025】まず第1工程では、例えばLPCVD法またはプラズマCVD法によって、上記ゲート電極53を覆う状態にしてシリコン基板51上に、上記チタンシリサイド層55、58、59に対してエッチャング選択性(例えば選択比が3~5程度以上)を有する第1絶縁膜16を形成する。この第1絶縁膜16は、例えば窒化シリコン膜で形成する。上記LPCVD法またはプラズマCVD法では、上記図1によって説明したのと同様の条件にて窒化シリコン膜の成膜を行う。

【0026】次いで図2の(2)に示す第2工程を行う。この工程では、常圧CVD法によって、上記第1絶縁膜16上にこの第1絶縁膜16に対してエッチャング選択性(例えば選択比が3~5程度以上)を有する第2絶縁膜17を形成する。この第2絶縁膜17は、例えばリンシリケートガラス(以下PSGという)からなり、その表面が平坦化されるように形成される。そのため、ゲート電極53上とソース・ドレイン領域56、57上とでは第2絶縁膜17の膜厚が異なる。ここでは、ゲート電極53上の第2絶縁膜17よりソース・ドレイン領域56、57上の第2絶縁膜17の方が膜厚は厚くなる。

【0027】続いて図2の(3)に示す第3工程で、リソグラフィー技術(レジスト塗布、露光、現像、ペーリング等)によって、エッチャングマスク60を形成し、続いてR I Eによって、上記第2絶縁膜16が露出するまで第2絶縁膜17をエッチャングする。そして、ゲート電極53上の第2絶縁膜17に第1上部接続孔61を形成するとともにソース・ドレイン領域56、57上の第2絶縁膜17に第2上部接続孔62、63を形成する。このR I Eでは、上記図1によって説明したのと同様の条件にてエッチャングを行う。

【0028】その後図2の(4)に示す第4工程で、R I Eによって、第1絶縁膜16に第1上部接続孔61に連続して第1下部接続孔64を形成するとともに第2上部接続孔62、63に連続して第2下部接続孔65、6

6を形成する。このようにして、第1上部接続孔61と第1下部接続孔64とでゲート電極53に通じる第1接続孔67を形成し、第2上部接続孔62、63と第2下部接続孔65、66とでソース・ドレイン領域56、57に通じる第2接続孔68、69を形成する。このR I Eでは、上記図1によって説明したのと同様の条件にてエッティングを行う。

【0029】その後、酸素プラズマアッショングまたは剥離液を用いたウェット処理によって、上記R I Eで用いたエッティングマスク60を除去する。

【0030】このように、ゲート電極53のチタンシリサイド層55およびソース・ドレイン領域56、57のチタンシリサイド層58、59をほとんどエッティングすることなく接続孔67、68、69を形成することができるので、チタンシリサイド層55、58、59による低抵抗化の効果が減少することはない。したがって、シリサイド構造のM I Sトランジスタを搭載したスタティックRAM【S R A M (Static Random Access Memory)】やA S I C (Application Specific Integrated Circuit)等の半導体装置では、動作速度が低下することなく高速動作が確保される。

【0031】次に第2実施例を図3の形成工程図によって説明する。また、上記図1で説明したのと同様の構成部品には同一の符号を付す。

【0032】図3の(1)に示すように、段差を有する基板71の段差上部71Uに第1領域12が形成され、段差下部71Bに第2領域13が形成されている。この第1領域12は、基板71上に形成された例えば配線であり、その上面側にはシリサイド層14が形成されている。このシリサイド層14は高融点金属層であってもよい。また第2領域13は、基板71に形成された例えば拡散層であり、その上面側にはシリサイド層15が形成されている。このシリサイド層15は高融点金属層であってもよい。

【0033】上記図1で説明したのと同様にして、第1工程で、上記基板71上に、第1、第2領域12、13を覆う状態にして、第1、第2領域12、13とに対してエッティング選択性（例えば選択比が3～5程度以上）を有する第1絶縁膜16を形成する。

【0034】次いで第2工程で、第1絶縁膜16上にこの第1絶縁膜16に対してエッティング選択性（例えば選択比が3～5程度以上）を有する第2絶縁膜17を形成する。ここでは、例えばリンシリケートガラス（以下P S Gという）を用い、表面をほぼ平坦に形成する。また、第1領域12の方が第2領域13よりも高くなっている。したがって、第1領域12上に第2絶縁膜17の膜厚より第2領域13上に第2絶縁膜17の膜厚の方が厚くなる。

【0035】続いて図3の(2)に示す第3工程で、リソグラフィー技術と例えばR I Eとによって、上記第1

絶縁膜16が露出するまで第2絶縁膜17をエッティングする。そして、第1領域12上の第2絶縁膜17に第1上部接続孔18を形成するとともに第2領域13上の第2絶縁膜17に第2上部接続孔19を形成する。このとき、第2絶縁膜17は第1絶縁膜16に対してエッティング選択性を有しているので、第1絶縁膜16上でこのエッティングは停止される。なお、図面ではレジストマスクの図示は省略した。

【0036】その後図3の(3)に示す第4工程で、R I Eによって、第1絶縁膜16に第1上部接続孔18に連続して第1下部接続孔20を形成するとともに第2上部接続孔19に連続して第2下部接続孔21を形成する。このようにして、第1上部接続孔18と第1下部接続孔20とで第1接続孔22を形成し、第2上部接続孔19と第2下部接続孔21とで第2接続孔23を形成する。このとき、第1絶縁膜16は第1、第2領域12、13に対してエッティング選択性を有しているので、第1、第2領域12、13上でこのエッティングは停止される。

【0037】上記図3によって説明した接続孔の形成方法では、上記図1によって説明した接続孔の形成方法と同様に、第1、第2領域12、13をほとんどエッティングすることなく第1、第2接続孔22、23が形成される。

【0038】また上記第2実施例では、上記第1領域12は配線でなくてもよい。例えば電極であってもよい、または基板71に形成された拡散層であってもよい。また上記第2領域13は拡散層でなくてもよい。例えば配線または電極であってもよい。さらに上記第2実施例では、第1絶縁膜16を窒化シリコン、第2絶縁膜17をP S Gで形成した一例で説明したが、これらの材料に限定されることはなく、下地に対してエッティング選択性を有する材料であればよい。また第2絶縁膜17を平坦化膜として説明したが、第1、第2領域12、13上の第2絶縁膜17の膜厚が異なるものであれば、上記第2絶縁膜17は平坦化膜でなくてもよい。また第2絶縁膜17は複数の絶縁膜を積層した構造であっても差し支えはない。なお、第1、第2領域12、13上の第2絶縁膜17の膜厚がほぼ同等であっても、本発明の形成方法は適用できる。

【0039】

【発明の効果】以上、説明したように本発明によれば、下地となる第1、第2領域に対してエッティング選択性を有する第1絶縁膜を設けたので、第2絶縁膜に接続孔を形成する際に、第2絶縁膜のエッティングを第1絶縁膜で停止することができるとともに、第1、第2領域をほとんどエッティングすることなく第1絶縁膜をエッティングして第1、第2接続孔を形成することができる。よって、第1、第2領域の下地層の厚さが確保され、半導体装置の性能の悪化を防ぐことができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の形成工程図である。

【図2】第1実施例の具体的適用例の形成工程図である。

【図3】第2実施例の形成工程図である。

【図4】従来例の形成工程図である。

【図5】課題の説明図である。

【符号の説明】

11 基板

12 第1領域

13 第2領域

14 シリサイド

ド層

15 シリサイド層

16 第1絶縁膜

膜

17 第2絶縁膜

接続孔

18 第1上部

接続孔

20 第1下部

接続孔

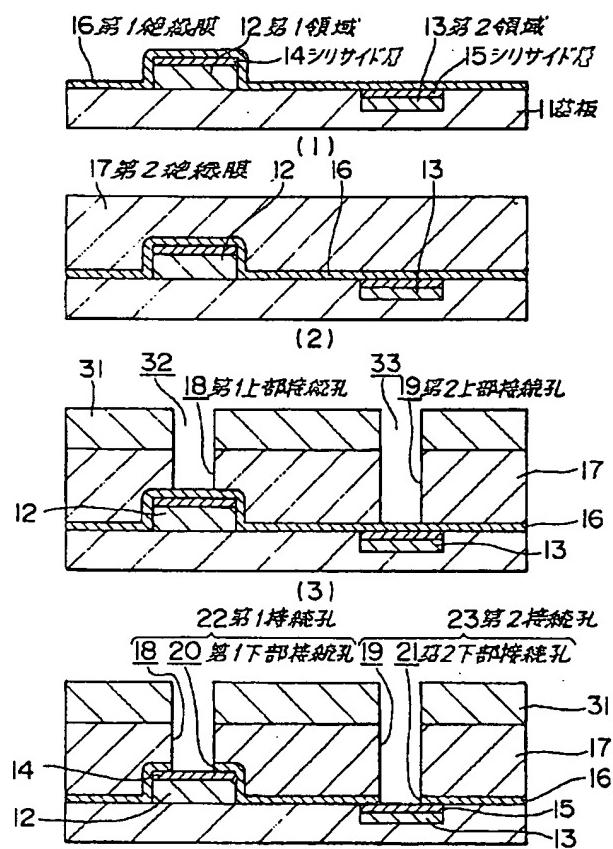
22 第1接続

孔

23 第2接続

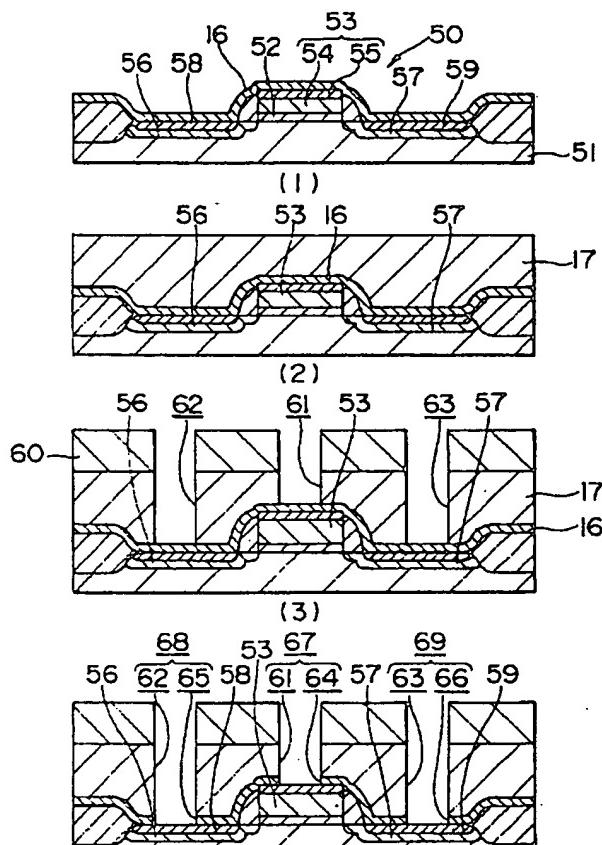
孔

【図1】



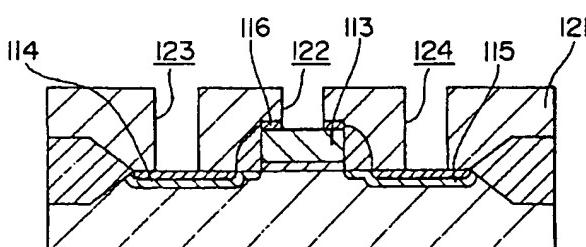
本発明の第1実施例の形成工程図

【図2】



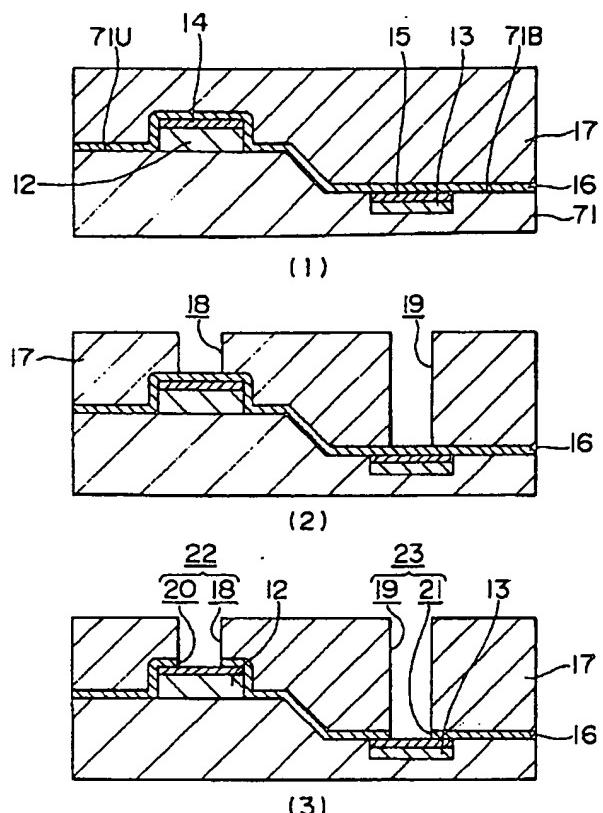
第1実施例の具体的適用例の形成工程図

【図5】

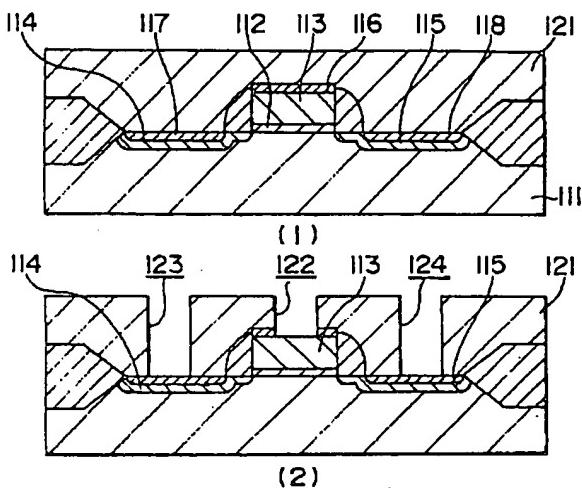


課題の説明図

【図3】



【図4】



従来例の形成工程図

第2実施例の形成工程図

フロントページの続き

(51) Int.CI.⁶
H 01 L 21/768
29/78
21/336

識別記号 庁内整理番号

F I
H 01 L 21/90
29/78

技術表示箇所

D
301P